

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-164924

(43) 公開日 平成6年(1994)6月10日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 1/40	1 0 1 B	9068-5C		
1/028	A	8721-5C		
5/335	R			

審査請求 未請求 請求項の数4(全 9 頁)

(21) 出願番号 特願平4-328934

(22) 出願日 平成4年(1992)11月16日

(71) 出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目3番5号

(72) 発明者 山田 紀一

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内

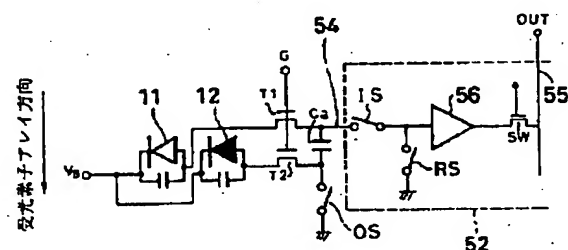
(74) 代理人 弁理士 阪本 清孝 (外1名)

(54) 【発明の名称】 イメージセンサ

(57) 【要約】

【目的】 TFT駆動型イメージセンサにおいて、画像信号に重畳するオフセットを除去して階調再現性の向上を図る。

【構成】 複数の受光素子をライン状に配列して成る受光素子アレイ50と、前記受光素子アレイで発生した電荷をブロック毎に転送する複数の薄膜トランジスタ51と、前記電荷を画像信号として出力する駆動IC52とを具備するイメージセンサにおいて、常時暗出力を発生する画素列(暗出力発生ダイオード12)と、入射光量に応じた出力を発生する画素列(フォトダイオード11)とにより前記受光素子アレイを構成する一方、暗出力を発生する画素と、入射光量に応じた出力を発生する画素との差分を出力する出力手段を設けることにより、暗出力に起因する不要なオフセット信号を各画素毎に除去する。



1

【特許請求の範囲】

【請求項1】 複数の受光素子をライン状に配列して成る受光素子アレイと、前記受光素子アレイで発生した電荷をブロック毎に転送する複数の薄膜トランジスタと、前記電荷を画像信号として出力する駆動ICとを具備するイメージセンサにおいて、常時暗出力を発生する画素列と、入射光量に応じた出力を発生する画素列とにより前記受光素子アレイを構成することを特徴とするイメージセンサ。

【請求項2】 複数の受光素子をライン状に配列して成る受光素子アレイと、前記受光素子アレイで発生した電荷をブロック毎に転送する複数の薄膜トランジスタと、前記電荷を画像信号として出力する駆動ICとを具備するイメージセンサにおいて、常時暗出力を発生する画素列と、入射光量に応じた出力を発生する画素列とにより前記受光素子アレイを構成する一方、暗出力を発生する画素と、入射光量に応じた出力を発生する画素との差分を出力する出力手段を設けたことを特徴とするイメージセンサ。

【請求項3】 複数の受光素子をライン状に配列して成る受光素子アレイと、前記受光素子アレイで発生した電荷をブロック毎に転送する複数の薄膜トランジスタと、前記電荷を画像信号として出力する駆動ICとを具備するイメージセンサにおいて、常時暗出力を発生する画素列と、入射光量に応じた出力を発生する画素列とにより前記受光素子アレイを構成する一方、暗出力を発生する画素にドレイン電極側が接続された薄膜トランジスタと、該薄膜トランジスタのソース電極側とアースとの間に接続されたスイッチング素子と、入射光量に応じた出力を発生する画素にドレイン電極側が接続された薄膜トランジスタと、該薄膜トランジスタのソース電極側と前記駆動IC内の増幅器の入力端子との間に接続されたスイッチング素子と、前記各薄膜トランジスタのソース電極間に接続されたコンデンサと、を設けたことを特徴とするイメージセンサ。

【請求項4】 複数の受光素子をライン状に配列して成る受光素子アレイと、前記受光素子アレイで発生した電荷をブロック毎に転送する複数の薄膜トランジスタと、前記電荷を画像信号として出力する駆動ICとを具備するイメージセンサにおいて、常時暗出力を発生する画素列と、入射光量に応じた出力を発生する画素列とにより前記受光素子アレイを構成する一方、暗出力を発生する画素とアースとの間に接続され暗出力による電荷を蓄積するコンデンサと、入射光量に応じた出力を発生する画素とアースとの間に接続され前記光量に応じた出力による電荷を蓄積するコンデンサと、入力端子に前記各コンデンサを接続し前記各コンデンサに蓄積された電荷による電圧の差分を出力する前記駆動IC内の差動増幅器と、該差動増幅器の出力側と前記駆動IC内の画像出力を出力する増幅器との間に接続されたスイッチング素子

2

と、該増幅器の入力側に接続したコンデンサと、を設けたことを特徴とするイメージセンサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はファクシミリやスキャナ等の画像入力装置に使用されるイメージセンサに係り、特に、ライン状に配列された受光素子を複数のブロックに分割し、マトリックス駆動によりブロック毎に受光素子からの出力信号を読み取るため、各受光素子毎に薄膜トランジスタを接続したイメージセンサ（TFT駆動型イメージセンサ）において、出力オフセットが小さく階調再現性を良好とする構造に関する。

【0002】

【従来の技術】 従来使用されている密着型のイメージセンサは、原稿幅に略等しい長さの長尺状の受光素子アレイに原稿面からの反射光をロッドレンズアレイを介して入射させ、受光素子アレイを構成する各受光素子の光電変換により原稿の画像情報に対応する電気信号を検出する。この種のイメージセンサとしては、各受光素子で発生した電荷を薄膜トランジスタ（TFT）によりブロック単位でマトリックス配線を用いて転送し、蓄積容量に電荷を一時保存した後に検出回路でブロック毎に時系列的に信号を読み出すことにより、1個の駆動用ICで1ラインの画像情報を読み取り可能として製造コストの軽減を図ることができるTFT駆動型イメージセンサが提案されている。

【0003】 TFT駆動型イメージセンサは、例えば図6に示すように、原稿幅とほぼ同じ長さにわたり一定の密度で複数個の受光素子Pを配列した受光素子アレイ50と、各受光素子Pに対して1:1に対応する複数個の薄膜トランジスタ（TFT）Tから成る薄膜トランジスタアレイ51と、受光素子Pに発生した電荷の検出を行なう駆動用IC52と、前記各薄膜トランジスタTと駆動用IC52とをマトリックス接続する配線53とから構成されている。受光素子アレイ50は、n個を1ブロックとしてKブロック分の受光素子Pから構成されている。各受光素子Pは薄膜トランジスタTのドレイン電極に接続され、ブロックを構成するn個の薄膜トランジスタTのソース電極側がそれぞれ信号検出のための駆動用IC52に接続されている。また、各薄膜トランジスタTのゲート電極は、ブロック毎にゲート駆動線G1~Gkに接続されている。

【0004】 各受光素子Pはフォトダイオードであり、アノード側に正の電圧VBを印加することにより、逆バイアス状態としている。原稿面からの反射光が受光素子アレイ50に入射すると、蓄積期間中に光の入射によって内部発生した正孔・電子対は電荷として、受光素子Pの等価容量と薄膜トランジスタTのゲート、ドレイン間のオーバーラップ容量に蓄積された後、薄膜トランジスタTのゲート駆動線G1にパルスを印加し、ゲート駆動

3

線G1により導通状態となる薄膜トランジスタ(T11~T1n)のドレイン側の電荷nビット分を、配線が有する配線容量CLに転送する。そして、この蓄積電荷により駆動用IC52に接続される各共通信号線54の電位が変化し、この電位を駆動用IC52内のボルテージフォロワアンプで検出するとともに、アナログマルチプレクサによって時系列に出力線55に出力する。以降同様にして、ゲート駆動線G2~GKにパルスを与えて薄膜トランジスタTをブロック毎に逐次ONすることにより前記動作を繰り返し、受光素子アレイ50を形成するn×Kビット分の信号を時系列的に読み取り、更にローラ等の原稿送り手段(図示せず)により原稿を移動させて前記動作を繰り返し、原稿面全体の画像信号を得るものである(特開昭63-9358号公報参照)。

【0005】

【発明が解決しようとする課題】上記TFT駆動型イメージセンサに使用される薄膜トランジスタTは、大面積基板に多数形成する必要があるので半導体材料としてアモルファスシリコン(a-Si)を用いている。しかしながら、半導体材料としてのアモルファスシリコンは、本質的にトラップ準位が多数存在するため、スイッチング素子として動作させると、OFF状態でトラップ準位から電荷が放出されて薄膜トランジスタのソース側へ流れ出し、OFFリーク電流に似た現象として観測される。

【0006】すなわち、薄膜トランジスタのゲートにパルスが印加されると(第7図(a))、薄膜トランジスタのソース、ドレイン間には電荷転送の際に第7図(b)に示すような電荷が流れる。この電荷はゲートがOFF状態となった後においても前記したトラップ準位の存在により長い時定数をもって流れ続ける。この電荷は、受光素子に生じる画像信号による電荷を配線容量CLに転送後において、転送された電荷が明出力であるか暗出力であるかにかかわらず前記配線容量CLに蓄積される。従って、配線容量CLに蓄積された電荷により変化した共通信号線54の電位を読み取る際、 Δq 分の不要な電荷蓄積がオフセットとなって信号に重畳し、イメージセンサとしての階調再現性を劣化させるという問題点があった。また、前記 Δq の値は薄膜トランジスタを薄膜製造プロセスにて製造する際のソース、ドレイン、ゲート電極又はチャネル領域の面積により相違するので、画素毎に暗出力のバラツキが生じるという問題点があった。

【0007】本発明は上記実情に鑑みてなされたもので、TFT駆動型イメージセンサにおいて、画像信号に重畳するオフセットを除去して階調再現性の高いイメージセンサを提供することを目的としている。

【0008】

【課題を解決するための手段】上記従来例の問題点を解決するため請求項1のイメージセンサは、複数の受光素

4

子をライン状に配列して成る受光素子アレイと、前記受光素子アレイで発生した電荷をブロック毎に転送する複数の薄膜トランジスタと、前記電荷を画像信号として出力する駆動ICとを具備するイメージセンサにおいて、常時暗出力を発生する画素列と、入射光量に応じた出力を発生する画素列とにより前記受光素子アレイを構成することを特徴としている。

【0009】請求項2のイメージセンサは、請求項1のイメージセンサの構成に加えて、暗出力を発生する画素と、入射光量に応じた出力を発生する画素との差分を出力する出力手段を設けたことを特徴としている。

【0010】請求項3のイメージセンサは、請求項1のイメージセンサの構成に加えて、暗出力を発生する画素にドレイン電極側が接続された薄膜トランジスタと、該薄膜トランジスタのソース電極側とアースとの間に接続されたスイッチング素子と、入射光量に応じた出力を発生する画素にドレイン電極側が接続された薄膜トランジスタと、該薄膜トランジスタのソース電極側と前記駆動IC内の増幅器の入力端子との間に接続されたスイッチング素子と、前記各薄膜トランジスタのソース電極間に接続されたコンデンサと、を設けたことを特徴としている。

【0011】請求項4のイメージセンサは、請求項1のイメージセンサの構成に加えて、暗出力を発生する画素とアースとの間に接続され暗出力による電荷を蓄積するコンデンサと、入射光量に応じた出力を発生する画素とアースとの間に接続され前記光量に応じた出力による電荷を蓄積するコンデンサと、入力端子に前記各コンデンサを接続し前記各コンデンサに蓄積された電荷による電圧の差分を出力する前記駆動IC内の差動増幅器と、該差動増幅器の出力側と前記駆動IC内の画像出力を出力する増幅器との間に接続されたスイッチング素子と、該増幅器の入力側に接続したコンデンサと、を設けたことを特徴としている。

【0012】

【作用】請求項1のイメージセンサによれば、常時暗出力を発生する画素列と、入射光量に応じた出力を発生する画素列とにより前記受光素子アレイを構成したので、各画素について暗出力を出力させることができ、暗出力に起因する不要なオフセット信号を各画素毎に補正可能とすることができる。

【0013】請求項2のイメージセンサによれば、暗出力を発生する画素と、入射光量に応じた出力を発生する画素との差分を出力する出力手段を設けたので、暗出力に起因する不要なオフセット信号を各画素毎に除去することができる。

【0014】請求項3のイメージセンサによれば、各薄膜トランジスタが導通状態になると、各薄膜トランジスタのソース電極間に接続されたコンデンサの一方の電極に入射光量に応じた電荷が、他方の電極に暗出力による

5

電荷が蓄積される。その後、各薄膜トランジスタが非導通状態になると、薄膜トランジスタの半導体活性層にトラップされていた電荷が徐々に各薄膜トランジスタのソース電極側に流出して前記コンデンサの両端の電荷量が増加する。前記トラップにより生じる電荷量は入射光量に依存せず一定の時定数を持って発生するので、前記コンデンサに蓄積されている電荷量はそれぞれ同じ量だけ増加し、コンデンサで正味蓄積されている電荷は常に受光素子で発生した光電荷のみとなる。従って、薄膜トランジスタのソース電極側と前記駆動IC内の増幅器の入力端子との間に接続されたスイッチング素子及び、薄膜トランジスタのソース電極側とアースとの間に接続されたスイッチング素子を導通状態とすれば、前記コンデンサに正味蓄積されている電荷による電位変化を読み取ることができる。

【0015】請求項4のイメージセンサによれば、各薄膜トランジスタが導通状態になると、各コンデンサには暗出力による電荷及び入射光量に応じた出力による電荷がそれぞれ蓄積される。その後、各薄膜トランジスタが非導通状態になると、薄膜トランジスタの半導体活性層にトラップされていた電荷が徐々に各薄膜トランジスタのソース電極側に流出して前記各コンデンサの電荷量が増加する。前記トラップにより生じる電荷量は入射光量に依存せず一定の時定数を持って発生するので、前記各コンデンサに蓄積されている電荷量はそれぞれ同じ量だけ増加する。各コンデンサは、駆動IC内の差動増幅器の入力端子に接続したので、差動増幅器の出力側と増幅器との間に接続されたスイッチング素子を導通状態とすれば、差動増幅器の出力側に接続されたコンデンサには、受光素子で発生した正味の光電荷のみが蓄積され、この電荷による電位変化を読み取ることができる。

【0016】

【実施例】本発明に係るイメージセンサの一実施例について図1及び図2を参照しながら説明する。図2は本発明の一実施例に係るイメージセンサの等価回路構成図、図1はイメージセンサの一画素分を示す等価回路図である。図中、図6と同一構成をとる部分については同一符号を付している。イメージセンサは、画像情報を光電変換するための一画素を受光素子ユニット10で構成し、 n 個の受光素子ユニット10を1ブロックとし、 K 個のブロックをガラス等の絶縁性基板上に並設して受光素子アレイを形成している。第1ブロックを構成する受光素子ユニット10は、それぞれ共通信号線54を介して駆動用IC52に接続されている。また、第2～第 K ブロックを構成する受光素子ユニット10は、配線53及び共通信号線54を介して駆動用IC52に接続されている。

【0017】駆動用IC52内において、共通信号線54は入力スイッチISを介してボルテージフォロワアンプ56に接続されている。ボルテージフォロワアンプ5

6

6の入力側には、アースとの間にリセットスイッチRSが接続されている。ボルテージフォロワアンプ56の出力側は、シフトレジスタ57により順次オンするアナログスイッチSWを介して出力信号線55に接続され、ボルテージフォロワアンプ56の出力をブロック中の各画素毎に時系列的に抽出するように構成されている。

【0018】受光素子ユニット10は、図1に示すように、フォトダイオード11と、暗出力発生ダイオード12と、ドレイン電極側を各ダイオードのアノード側に接続した薄膜トランジスタT1、T2と、薄膜トランジスタT1、T2のソース電極同士間に接続されたコンデンサCaと、薄膜トランジスタT2のソース電極側とアースとの間に接続された出力選択用スイッチOSとから構成されている。フォトダイオード11及び暗出力発生ダイオード12のカソード側は互に接続され、正の電圧VBが印加されて各ダイオードを逆バイアス状態としている。フォトダイオード11と暗出力発生ダイオード12は、受光素子アレイ方向に対して直交する方向に並設するように基板上に配置することにより、受光素子アレイ方向に各ダイオードがライン状に配置可能としている。また、薄膜トランジスタT1のソース電極側は共通信号線54に接続されている。

【0019】フォトダイオード11は入射光量に応じた電荷を発生させるものであり、暗出力発生ダイオード12は入射光量に依存しない電荷を発生させるものである。薄膜トランジスタT1、T2は、前記各ダイオードに蓄積された電荷をコンデンサCaに転送するためのものであり、共通のゲート駆動線Gに接続されるとともにブロック毎に導電状態となるように駆動IC52内のゲート電圧制御回路58により制御されている。コンデンサCaは、入射光量により生じた正味の電荷を蓄積するための容量部である。

【0020】フォトダイオード11は、例えば、下部電極となるクロム(Cr)等による帯状の金属電極、水素化アモルファスシリコンから成る画素毎(各フォトダイオード11毎)に離散的に分割形成された光導電層、同様に分割形成された酸化インジウム・スズ等から成る透明電極をガラス等の絶縁性基板上に順次積層及びパターンニングした薄膜サンドイッチ構造で形成されている。また、暗出力発生ダイオード12はフォトダイオード11と同様の構造を有し、更に光入射側に光の入射を遮断するためアルミニウム等の金属膜を形成している。

【0021】薄膜トランジスタT1、T2は、フォトダイオード11及び暗出力発生ダイオード12が形成された基板上に、ゲート電極としてのクロム(Cr1)層、ゲート絶縁層としての窒化シリコン(SiNx)膜、半導体活性層としてのアモルファスシリコン(a-Si:H)層、前記ゲート電極に対向するように設けられたトップ絶縁層としての窒化シリコン膜、オーミックコンタクト層としての n^+ アモルファスシリコン層、互に分離

7

して配置されたドレイン電極及びソース電極としてのクロム(Cr)層、絶縁層としてのポリイミド膜を順次積層した逆スタガ構造で構成されている。前記ドレイン電極及びソース電極は、ポリイミド膜に穿孔したコンタクト孔を介してアルミニウム等から成る配線層に接続されている。

【0022】次に、上記イメージセンサの原稿読み取り動作について、図1の一画素分の等価回路図及び図3のタイミングチャートを参照しながら説明する。受光素子ユニット10には上方より原稿面からの反射光が入射すると、フォトダイオード11には受光量に応じて光電荷が発生し、この電荷はフォトダイオード11の寄生容量部分に蓄積する。一方、暗出力発生ダイオード12は光入射側に金属膜が形成されているので光電荷は発生しないが暗電荷が発生し、フォトダイオード11と同様にこの電荷が寄生容量部分に蓄積する。

【0023】時間 t_a において、薄膜トランジスタT1、T2のゲート電極にゲート駆動線Gよりゲートパルスが印加されると、薄膜トランジスタT1、T2はオン状態となって電荷転送が開始され、フォトダイオード11及び暗出力発生ダイオード12の寄生容量に蓄積されていた電荷がコンデンサCaの両端に転送される。図3のQP及びQDは薄膜トランジスタT1、T2を流れる電荷量を示している。時間 t_b において、薄膜トランジスタT1、T2がオフ状態となると、コンデンサCaの一方の端子には光入射により発生した電荷の蓄積が、コンデンサCaの他方の端子には暗電荷の蓄積が終了する。時間 t_b 後においては、本来であれば電荷の変化は生じないが、薄膜トランジスタT1、T2の半導体活性層としてのアモルファスシリコン膜中にトラップされていた電荷が徐々に薄膜トランジスタT1、T2のソース電極側に流出するため、コンデンサCaの両端の電荷量に変化する。しかし、トラップにより生じる電荷量は、図3のQP、QD及び図7(b)に示したように、入射光量に依存せず一定の時定数をもって発生するので、コンデンサCaの両端に蓄積されている電荷量はそれぞれ同じ量だけ変化することになり、コンデンサCaで正味蓄積されている電荷は常にフォトダイオード11が受光して発生した光電荷のみとなる。

【0024】その後、時間 t_c において駆動ICの入力スイッチIS及び出力選択用スイッチOSをオンすることによりグランド電位を基準として、コンデンサCaに正味蓄積されている電荷のみを共通信号線54に電圧として取り出す。前記共通信号線54の電位は、ボルテージフォロワアンプ56で検出され、アナログスイッチSWによって時系列に出力線55に出力する。信号抽出後、時間 t_d において、次ラインの読み取り動作のため、リセットスイッチRSをオンしてコンデンサCaの電荷をリセットする。

【0025】上記実施例によれば、コンデンサCaの両

8

端に入射光量に応じた電荷及び暗出力による電荷がそれぞれ薄膜トランジスタT1、T2を介して蓄積されるように構成したので、薄膜トランジスタT1、T2の半導体活性層中のトラップ準位に保持されていた電荷が放出しても、コンデンサCaに正味蓄積される電荷量は前記電荷の影響を受けないので、画像信号中のオフセットを除去することができる。また、暗出力発生ダイオード12を各画素毎に設けたので、暗出力補正を画素毎に行なうことができる。

10 【0026】図4は本発明の他の実施例のイメージセンサの一画素分の等価回路を示すもので、図1と同一の構成をとる部分については同一符号を付し、構成が異なる部分を中心に説明する。フォトダイオード11に接続された薄膜トランジスタT1のソース側とアースとの間にコンデンサC1を接続し、暗出力発生ダイオード12に接続された薄膜トランジスタT2のソース側とアースとの間にコンデンサC2を接続している。また、コンデンサC1及びコンデンサC2にはリセットスイッチRSがそれぞれ並列に接続されている。薄膜トランジスタT1及び薄膜トランジスタT2のドレイン側は差動増幅器13の入力側にそれぞれ接続され、差動増幅器13の出力側は入力スイッチISを介してボルテージフォロワアンプ56に接続されている。ボルテージフォロワアンプ56の入力側とアースとの間には、コンデンサC3及びリセットスイッチRSが互いに並列に接続されている。

20 【0027】次に、上記イメージセンサの原稿読み取り動作について、図4の一画素分の等価回路図及び図5のタイミングチャートを参照しながら説明する。受光素子ユニット10には上方より原稿面からの反射光が入射すると、フォトダイオード11には受光量に応じて光電荷が発生し、この電荷はフォトダイオード11の寄生容量部分に蓄積する。一方、暗出力発生ダイオード12は光入射側に金属膜が形成されているので光電荷は発生しないが暗電荷が発生し、フォトダイオード11と同様にこの電荷が寄生容量部分に蓄積する。

30 【0028】時間 t_a において、薄膜トランジスタT1、T2のゲートにゲートパルスが印加されると、薄膜トランジスタT1、T2はオン状態となって電荷転送が開始され、フォトダイオード11及び暗出力発生ダイオード12の寄生容量に蓄積されていた電荷がコンデンサC1及びコンデンサC2にそれぞれ転送される。図5のQP及びQDは薄膜トランジスタT1、T2を流れる電荷量を示している。時間 t_b において、薄膜トランジスタT1、T2がオフ状態となると、コンデンサC1には光入射により発生した電荷の蓄積が、コンデンサC2には暗電荷の蓄積が終了する。時間 t_b 後においては、本来であれば電荷の変化は生じないが、薄膜トランジスタT1、T2の半導体活性層としてのアモルファスシリコン膜中にトラップされていた電荷が徐々に薄膜トランジスタT1、T2のソース電極側に流出するため、コンデン

サC1及びコンデンサC2の電荷量が増加する。しかし、トラップにより生じる電荷量は、図5のQP、QD及び図7(b)に示したように、入射光量に依存せず一定の定数をもって発生するので、コンデンサC1及びコンデンサC2に蓄積されている電荷量はそれぞれ同じ量だけ増加する。

【0029】従って、時間tcにおいて駆動ICの入力スイッチISをオンすると、差動増幅器13の出力側のコンデンサC3には、前記コンデンサC1及びコンデンサC2に蓄積されている電荷量の差が蓄積されるが、蓄積される電荷は常にフォトダイオード11が受光して発生した光電荷のみとなり、この電荷により共通信号線54の電圧が増加する。前記共通信号線54の電位は、ボルテージフォロワアンプ56で検出され、アナログスイッチSWによって時系列に出力線55に出力される。信号抽出後、時間tdにおいて、次ラインの読み取り動作のため、リセットスイッチRSをそれぞれオンしてコンデンサC1、コンデンサC2、コンデンサC3の電荷をリセットする。

【0030】上記実施例によれば、コンデンサC1及びコンデンサC2に入射光量に応じた電荷及び暗出力による電荷がそれぞれ薄膜トランジスタT1、T2を介して蓄積し、電荷の差を更にコンデンサC3に蓄積するように構成したので、薄膜トランジスタT1、T2の半導体活性層中のトラップ準位に保持されていた電荷が放出されても、コンデンサC3に蓄積される電荷量は前記電荷の影響を受けないので、画像信号中のオフセットを除去することができる。また、暗出力発生ダイオード12を各画素毎に設けたので、暗出力補正を画素毎に行うことができる。

【0031】

【発明の効果】請求項1のイメージセンサによれば、TF T駆動型のイメージセンサにおいて、常時暗出力を発生する画素列と、入射光量に応じた出力を発生する画素列とにより前記受光素子アレイを構成したので、各画素について暗出力を出力させることができ、暗出力に起因する不要なオフセット信号を各画素毎に補正可能とし、階調再現性の向上を図ることができる。

【0032】請求項2のイメージセンサによれば、TF T駆動型のイメージセンサにおいて、暗出力を発生する画素と、入射光量に応じた出力を発生する画素との差分を出力する出力手段を設けたので、暗出力に起因する不要なオフセット信号を各画素毎に除去して階調再現性の向上を図ることができる。

【0033】請求項3のイメージセンサによれば、TF T駆動型のイメージセンサにおいて、常時暗出力を発生する画素列と、入射光量に応じた出力を発生する画素列

を設け、暗出力を発生する画素に接続された薄膜トランジスタのソース電極を、一方の端子が接地されたスイッチング素子に接続し、入射光量に応じた出力を発生する画素に接続された薄膜トランジスタのソース電極を駆動ICの入力端子に接続し、前記各薄膜トランジスタのソース電極同士をコンデンサを介して接続する構成としたので、暗出力に起因する不要なオフセット信号を各画素毎に除去して階調再現性の向上を図ることができる。

【0034】請求項4のイメージセンサによれば、TF T駆動型のイメージセンサにおいて、常時暗出力を発生する画素列と、入射光量に応じた出力を発生する画素列とを設け、暗出力による電荷を一方のコンデンサに蓄積するとともに、入射光量に応じた出力による電荷を他方のコンデンサに蓄積し、更に前記電荷の差を差動増幅器を介して別のコンデンサに蓄積するように構成したので、暗出力に起因する不要なオフセット信号を各画素毎に除去して階調再現性の向上を図ることができる。

【図面の簡単な説明】

【図1】 本発明の一実施例に係るイメージセンサの一面素を示す等価回路図である。

【図2】 実施例に係るイメージセンサの全体構成を示す等価回路図である。

【図3】 図1のイメージセンサの読み取り動作を説明するためのタイミングチャート図である。

【図4】 本発明の他の実施例に係るイメージセンサの一面素を示す等価回路図である。

【図5】 図4のイメージセンサの読み取り動作を説明するためのタイミングチャート図である。

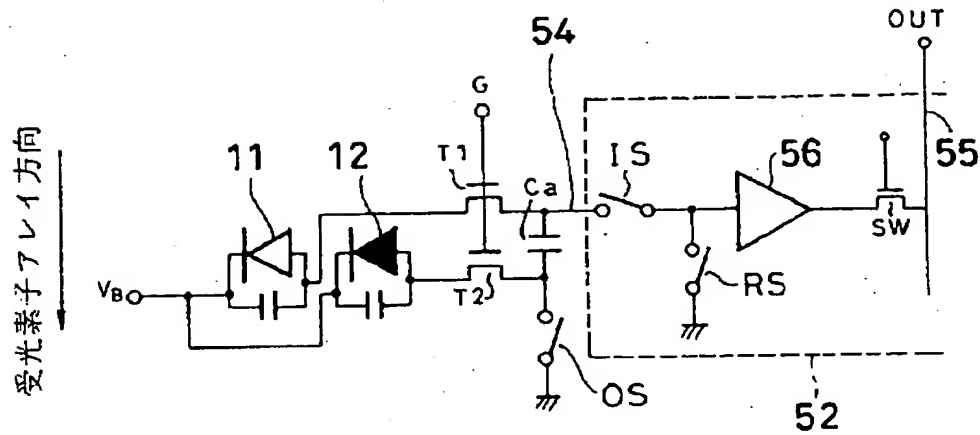
【図6】 従来のマトリックス駆動型のイメージセンサの等価回路図である。

【図7】 マトリックス駆動型のイメージセンサにおいて、オフセットが生じる原理を説明するための波形図であり、(a)は薄膜トランジスタのゲート電極に印加されるパルス波形、(b)は薄膜トランジスタのドレイン電極とソース電極間を流れる電荷量を示す波形図である。

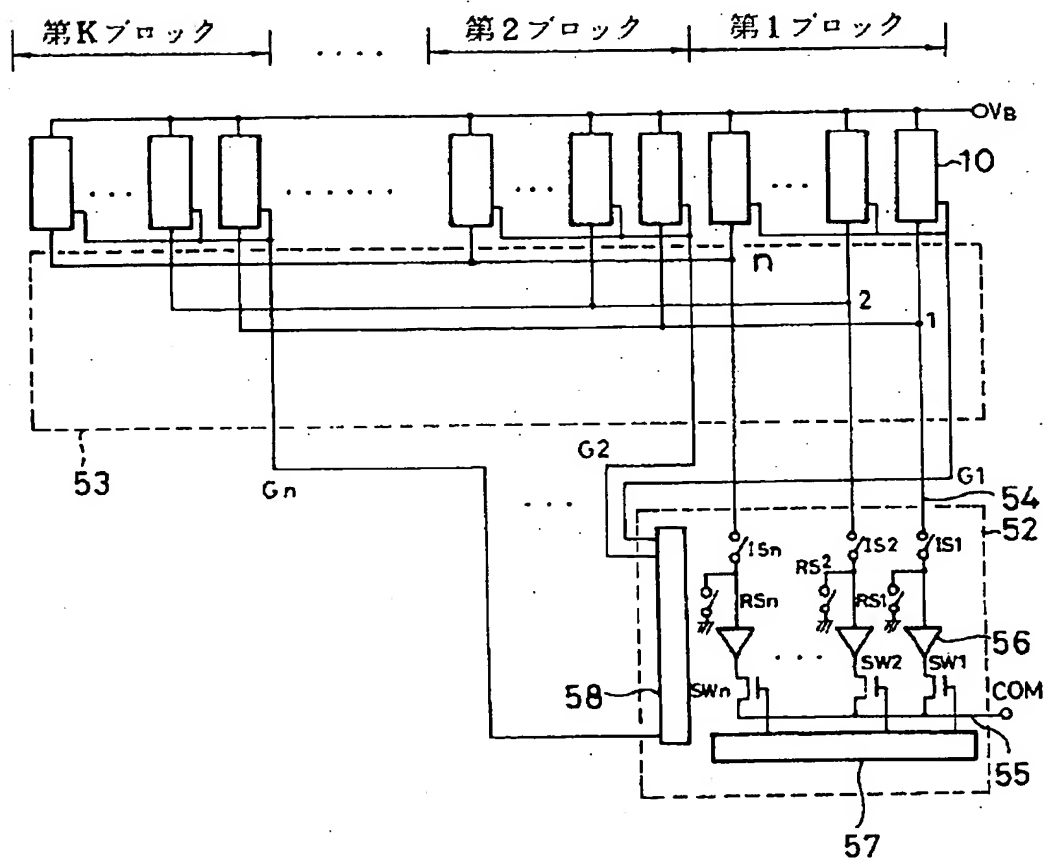
【符号の説明】

10…受光素子ユニット、 11…フォトダイオード、
12…暗出力発生ダイオード、 13…差動増幅器、
50…受光素子アレイ、 51…薄膜トランジスタアレイ、 52…駆動用IC、 53…配線、 54…共通信号線、 55…出力線、 56…ボルテージフォロワアンプ、 57…シフトレジスタ、 58…ゲート電圧制御回路、 Ca、C1、C2、C3…コンデンサ、 IS…入力スイッチ、 OS…出力選択用スイッチ、 SW…アナログスイッチ

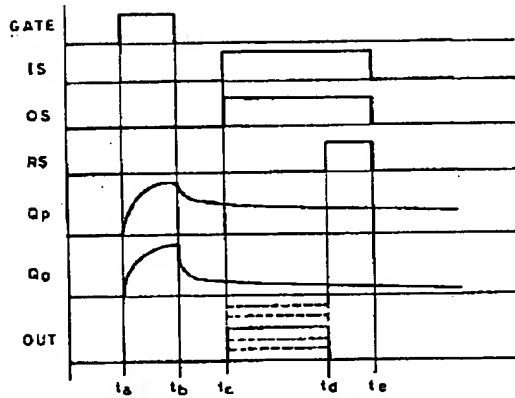
【図1】



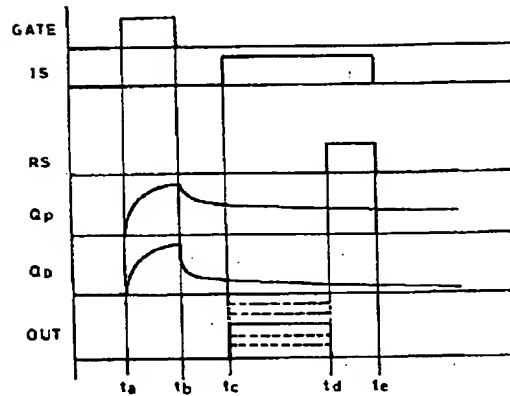
【図2】



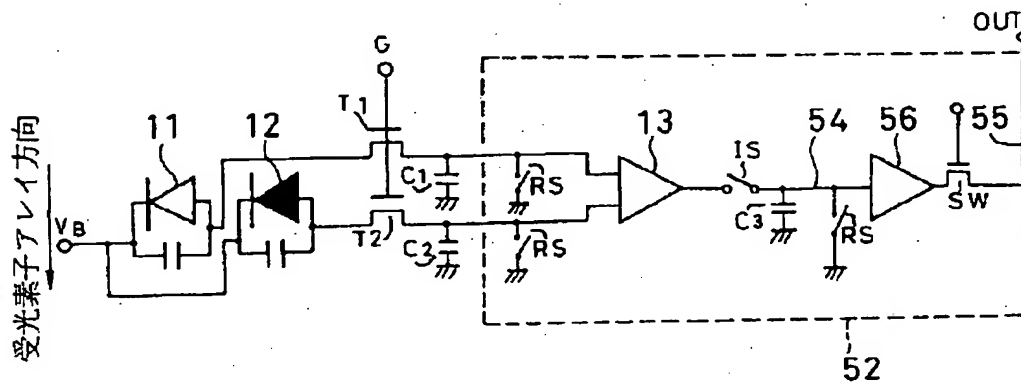
【図 3】



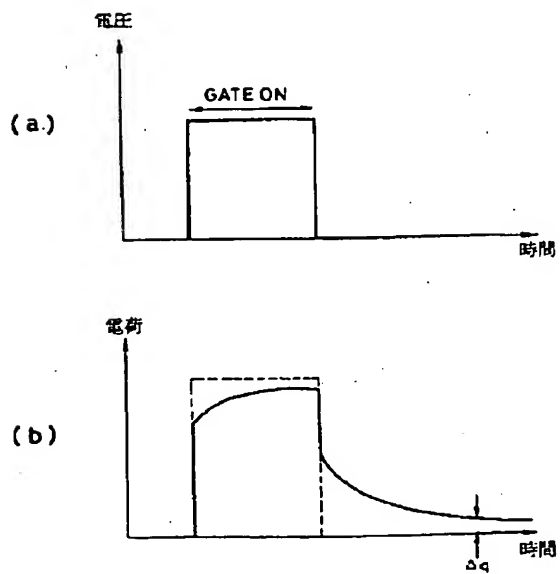
【图 5】



【図4】



【図 7】



(9)

特開平6-164924

【図6】

